

KOREAN PATENT ABSTRACTS

(11)Publication number: 00250796 B1

(43)Date of publication of application: 07.01.2000

(21)Application number: 960059510

(22)Date of filing: 29.11.1996

(71)Applicant: HYNIX SEMICONDUCTOR INC.

(72)Inventor: KIM, HYANG YUL
KWON, SUN GIL
LEE, SEOK YEOL
LEE, SEUNG HUI
NOH, BONG GYU
PARK, HAE SEONG

(51)Int. Cl.

G02F 1/136
G02F 1/1343

(54) LCD AND MANUFACTURING METHOD THEREOF

(57) Abstract:

PURPOSE: An LCD and manufacturing method thereof are provided to form a pixel electrode and a counter electrode with the shape of comb on a same plane, so as to drive liquid crystal molecules residual on the electrodes and improve the transmittance, the aperture ratio and the response speed.

CONSTITUTION: The second counter electrode(6) for preventing a signal delay includes a bar(60) to be overlapped with the first counter electrode(2B-1) and plural branches(61 to 65) extended from the end of the bar(60) to be adjacent to a gate line(2A). One outer branch(61) is shorter than the other branches(62,63,64,65) and one outer branch(69) is longer than the other branches(62,63,64,65). The bent outer branch(69) is extended along the space between the end of the branches(61 to 65) and the gate line(2A). The pixel electrode(7) includes a bar(70) to be arranged between the branches(62,63,64,65) and the outer branch(69), and plural branches(71 to 75) to be respectively arranged between the plural branches(61-65) of the second counter electrode(6). The respective width of the second counter electrode(6) and the pixel branches(71 to 75) are in the range of 2 to 8 micrometers. The ratio of the branches(71 to 75) of the pixel electrode(7) to the branches(62,63,64,65) of the second counter electrode(6) is in the range of 0.1 to 10. The ratio of the width of the pixel branches(71 to 75) to the space between the branches(62,63,64,65) of the second counter electrode(6) and the pixel branches(71 to 75) is in the range of 0.1 to 2.0.



COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (19961129)

Final disposal of an application (registration)

Date of final disposal of an application (19991009)

Patent registration number (1002507960000)

Date of registration (20000107)

특 1998-040331

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ G02F 1/136	(11) 공개번호 (43) 공개일자	특 1998-040331 1998년 08월 17일
(21) 출원번호	특 1996-059510	
(22) 출원일자	1996년 11월 29일	
(71) 출원인	현대전자산업 주식회사 김영환	
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 이승희 경기도 이천시 참전동 49-1 현대아파트 102-1206 이석열 경기도 안양시 동안구 평안동 현대 5차아파트 103-301호 김향을 경기도 이천시 대월면 사동리 유호아파트 A동 406호 노봉규 경기도 수원시 장안구 영화동 407-16 권순길 경기도 수원시 팔달구 매월 4동 810-3 삼성 1차아파트 3-811 박해성 서울특별시 강동구 둔촌1동 주공아파트 233-502 최홍순	
(74) 대리인	최홍순	

심사청구 : 있음

(54) 액정 표시 소자 및 그 제조방법

요약

본 발명은 개선된 액정 표시 소자 및 그 제조방법을 제공하는 것을 목적으로 한다. 본 발명은, 투명한 절연성 기판 상부에 형성되는, 게이트 라인의 선택시, 데이터 라인의 신호를 전달하 박막 트랜지스터와, 박막 트랜지스터와 동일 기판상에 위치하고, 게이트 라인과 일정 거리만큼 이격되어 평행하는 제 1 카운터 전극과, 제 1 카운터 전극과 일정 거리를 두고 오버랩되고, 게이트 라인에 끝단이 근접·배치되는 수개의 브랜치가 일정 등간격으로 형성되고, 브랜치중 외곽의 브랜치는 나머지 브랜치의 각 끝단과 게이트 전극 사이로 연장 형성되는 제 2 카운터 전극, 제 2 카운터 전극상에 일정 간격을 두고 배치되고, 상기 박막 트랜지스터의 드레인 전극에 연결된 일단은 제 2 카운터 전극의 브랜치 끝단과 외곽 브랜치의 연장 부분 사이로 연장 형성되며, 타단은 수개의 브랜치가 형성된 구조를 갖는 픽셀 전극을 포함하는 하부 유리 기판; 하부 유리 기판과 대향하고, 삼원색의 필터 및 필터간을 경계짓는 블랙 매트릭스를 포함하는 상부 유리 기판; 하부 유리 기판과 상부 유리 기판 사이에 개재되는 액정을 포함하며, 하부 유리 기판의 픽셀 전극과 제 2 카운터 전극은 투명하며, 픽셀 전극의 브랜치는 제 2 카운터 전극의 각 브랜치 사이의 공간부 사이에 배치되고, 제 2 카운터 전극의 각 브랜치와 일정 간격을 두고 이격된다.

도표도

도4

명세서

도면의 간단한 설명

- 도 1 은 종래의 IPS 모드의 액정 표시 소자의 하부 유리 기판의 평면도.
- 도 2 는 도 1 의 하부 유리 기판을 II-II' 선으로 절단하여 나타낸 도면.
- 도 3 은 종래의 액정 표시 소자에 일정한 전압 인가시, 투과율을 보여주는 도면.
- 도 4 은 본 발명에 따른 IPS 모드의 액정 표시 소자의 하부 유리 기판의 평면도.
- 도 5 는 도 4 의 하부 유리 기판을 V-V' 선으로 절단하여 나타낸 단면도.
- 도 6 은 도 4 의 하부 유리 기판과 합착되어질 상부 기판의 평면도.

도 7은 본 발명에 따른 액정 표시 소자에 일정한 전압 인가시, 투과율을 보여주는 도면.

* 도면의 주요 부분에 대한 부호의 설명

1 : 유리 기판, 2A : 게이트 라인, 2A-1 : 게이트 전극, 2B, 2B-1 : 카운터 전극, 3 : 게이트 절연막, 4 : 반도체층, 5A : 데이터 라인, 5A-1 : 소오스 전극, 5B : 종래의 픽셀 전극, 5B-1 : 드레인 전극, 6, 61, 62 : 본 발명의 픽셀 전극, 7, 71, 72 : 제 2 카운터 전극, 100 : 상부 기판, 101 : 블랙 매트릭스, 102 : 컬러 필터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 소자 및 그 제조방법에 관한 것으로, 보다 구체적으로는, 액정 표시 소자의 응답 속도에 따른 투과율 및 개구율을 향상시킬 수 있는 IPS(In Plane Switching) 모드의 액정 표시소자 및 그 제조방법에 관한 것이다.

일반적으로, 액정 표시 소자는 텔레비전, 그래픽 디스플레이등의 표시소자를 구성하고, 특히 액티브 매트릭스형의 액정 표시 장치는 고속 응답 특성을 갖고, 높은 화소수에 적합하여 디스플레이 화면의 고화질화, 대형화, 컬러 화면화를 실현하는데 크게 기여하고 있다.

이러한 액정 표시 소자는, 투명한 한쌍의 유리 기판, 적어도 하나의 기판에 형성되는 박막 트랜지스터와 픽셀 전극이 형성되고, 다른 하나의 기판에는 컬러 필터와 카운터 전극이 형성되며, 한쌍의 유리기판 사이에는 액정 물질이 봉입되어 이루어진다.

여기서, 최근 많이 이용되는 액정으로는, 광학 특성이 우수한 트위스트 네메틱 모드(twist nematic mode: 이하 TN) 액정이 이용되는데, 교인 네메틱 모드는 90°의 교인 각도를 가지고 있고, 액정 분자가 상하의 유리 기판면에 평행하게 배열되거나, 배열 방향이 양쪽 기판에서 90° 차이가 있으므로, 전체의 분자 배열이 두 기판사이에 연속적으로 90° 변화가 생기도록 배열되고, 액정 전압이 인가 되었을시, 전체는 대항하는 두 기판면에 수직으로 형성된다.

그러나, 이러한 TN 구조의 액정 표시 소자는 시야각을 좁게한다는 고질적인 문제점을 지니고 있다.

따라서, 종래에는 상부 유리 기판에 형성되었던 카운터 전극을 하부 유리 기판에 형성하여, 전체의 인가시, 수평한 전계가 걸리도록 하며, 넓은 시야각을 확보할 수 있는 IPS 모드의 액정 표시 소자가 제안되었다. 이러한 IPS 모드의 액정 표시 소자는, 도 1에 도시된 바와 같이, 하부 유리 기판(1) 상부에 영상을 주사하기 위한 행 방향의 게이트 라인(2A)과, 게이트 라인(2A)과 동일 면에 형성되고, 일정 거리만큼 이격되어 배치된 카운터 전극(2B)이 형성된다. 이 카운터 전극(2B)은 액정을 일정 시간동안 유지하기 위한 보조 용량의 역할을 겸하며, 그 형태는 1자 형상이 되도록 형성된다. 결과를 상부에는 도면에 도시되지는 않았지만 하부의 게이트 라인(2A)과, 이후에는 형성되어질 물질들과의 전기적 절연을 도모하기 위하여, 게이트 절연막(도시되지 않음)이 형성되고, 게이트 라인(2A)을 포함하는 게이트 절연막의 소정 부분에는 박막 트랜지스터의 채널 역할을 하는 반도체층(4)이 형성된다. 그리고, 데이터 라인(5A)과 픽셀 전극(5B)은 동일 평면상에 형성되는데, 그중 데이터 라인(5A)은 게이트 라인(2A)과 수직으로 교차되고, 게이트 라인(2A)상부의 반도체층(4)와 소정 부분 오버랩되어 소오스 전극(5A-1)을 이루며, 픽셀 전극(5B)은 액정 표시 소자의 단위셀을 한정할 수 있도록 □자 형태로 형성되고, 이 사각의 픽셀 전극(5B)중 반도체층(4)과 인접한 모서리 부분은 반도체층(4)과 일부 오버랩되어, 드레인 전극(5B-1)이 형성될 수 있도록 일부 연장된다.

도 1의 액정 표시 소자의 단면을 살펴보기 위하여, II-II' 선으로 절단하여 나타낸 도면이 도 2에 도시되어 있다. 도 2에 도시된 바와 같이, 투명한 하부 유리 기판(1)상부에는 알루미늄, 티타늄, 탄탈륨, 크롬 등의 금속이 증착되고, 소정의 형태로 패터닝되어, 게이트 라인(도시되지 않음)과 카운터 전극(2B)이 형성된다. 이후에 형성되어질 금속 라인과 절연되도록 게이트 절연막(3)이 형성된다. 이 게이트 절연막(3)은 2중으로 형성되거나, 금속 산화막으로 형성된다. 이어서, 게이트 절연막(3) 상부에 카운터 전극(2B)을 형성하였던 금속층 중 하나의 금속층을 증착하고, 도 1에서의 형태로 패터닝하여, 데이터 라인(5A)과, 픽셀 전극(5B)이 형성되어, 카운터 전극(2B)과 픽셀 전극(5B)이 하부 유리 기판(1)에 형성된다.

발명이 이루고자하는 기술적 과제

그러나, 종래의 IPS 모드의 액정 표시 소자는 카운터 전극(2B)과 픽셀 전극(5B)이 동일 기판에 형성되어, 평행한 전계를 이용하여 시야각이 우수하다는 장점을 지니고는 있으나, 카운터 전극(2B)과 픽셀 전극(5B)의 상단에서의 전계는 도 2에 도시된 바와같이, 포물선의 형태를 취하므로, 도면에서 점선으로 표시된 영역은 액정이 제대로 동작하기 어렵게 된다. 이에 따라, 종래의 액정 표시 소자(예를들면, 화소 전극과 대향 전극간의 간격이 210 μ m이고, 픽셀 전극 또는 대향 전극의 폭이 20 μ m이고, 액정 분자들이 수평축에 22도 틀어져 있다.)의 픽셀 전극에 8V 정도의 전압이 인가되면, 투과율은 도 3에 도시된 바와 같이, 100ms 후에 투과율이 약 38% 정도를 나타내고, 100ms 이전에는 대부분 30% 이하이다. 또한, 픽셀 전극과 카운터 전극의 일부에는 픽셀 전극과 카운터 전극이 불투명 금속으로 형성된 관계로, 투과율이 0이되어, 개구율이 저하되는 문제점이 발생하게 된다. (도 3에서, X 영역은 하부 기판의 전압 인가에 따른 투과율을 나타낸 것이고, Y 영역은 하부 기판 개략적으로 나타낸 것이다.)

따라서, 본 발명의 목적은, 하부 기판의 카운터 전극과 픽셀 전극 상부에 존재하는 액정을 전계 인가시, 효과적으로 구동도록 하며, 액정 표시 소자의 투과율 및 응답 속도를 개선할 수 있는 액정 표시 소자 및

그 제조방법을 제공하는 것이다.

또한, 본 발명의 다른 목적은, 액정 표시 소자의 카운터 전극과 픽셀 전극을 투명한 소재로 형성하여, 액정 표시 소자의 개구율을 향상시킬 수 있는 액정 표시 소자 및 그 제조방법을 제공하는 것이다.

발명의 구성 및 작용

상기한 종래의 문제점을 해결하기 위한 것으로, 본 발명은 투명한 절연성 기판상부에 게이트와 일체로 형성되는 복수의 게이트 라인과, 상기 게이트 라인과 동일 선상에 위치하고, 게이트 라인과 일정 거리만큼 이격되어 평행하는 제 1 카운터 전극과, 상기 게이트 라인과 절연층을 매개로 교차하는 복수개의 데이터 라인과, 상기 데이터 라인과 게이트 라인의 교점 근방에 형성되는 트랜지스터와, 상기 제 1 카운터 전극과 일정 거리를 두고 오버랩되고, 상기 게이트 라인에 끝단이 근접 배치되는 수개의 브랜치가 일정 등간격으로 형성되고, 상기 브랜치중 외곽의 브랜치는 나머지 브랜치의 각 끝단과 게이트 전극 사이로 연장 형성되는 제 2 카운터 전극; 상기 제 2 카운터 전극상에 일정 간격을 두고 배치되고, 상기 박막 트랜지스터의 드레인 전극에 연결된 일단은 제 2 카운터 전극의 브랜치 끝단과 외곽 브랜치의 연장부분 사이로 연장 형성되며, 타단은 수개의 브랜치가 형성된 구조를 갖는 픽셀 전극을 포함하는 하부 유리 기판; 상기 하부 유리 기판과 대향하고, 삼원색의 필터 및 필터간을 경계짓는 블랙 매트릭스를 포함하는 상부 유리 기판, 및 상기 하부 유리 기판과 상부 유리 기판사이에 개재되는 액정을 포함하며, 상기 하부 유리 기판의 픽셀 전극과 제 2 카운터 전극은 투명하며, 픽셀 전극의 브랜치는 제 2 카운터 전극의 각 브랜치 사이의 공간부 사이에 배치되고, 제 2 카운터 전극의 각 브랜치와 일정간격을 두고 이격된 것을 특징으로 한다.

또한 본 발명의 액정 표시 소자의 제조방법은, 투명성 유리 기판상에 게이트 라인과, 제 1 카운터 전극을 형성하는 단계; 상기 유리 기판상부에 게이트 절연막을 형성하는 단계; 상기 게이트 라인을 포함하는 게이트 절연막 상부의 소정 부분에 반도체층을 형성하는 단계; 상기 금속층을 증착하고, 패터닝하여, 소오스 전극과 일체인 데이터 라인과 드레인 전극을 형성하는 단계; 상기 결과를 상부에 보호막을 형성하는 단계; 상기 드레인 전극 및 제 1 카운터 전극의 소정 부분을 노출시키는 단계; 상기 결과를 상부에 투명 금속층을 형성하는 단계; 상기 투명 금속층을 패터닝하여 드레인 전극과 콘택도록 픽셀 전극을 형성하고, 제 1 카운터 전극의 소정 부분과 콘택도록 제 2 카운터 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

본 발명에 의하면, 카운터 전극과 픽셀 전극이 동일 기판에 형성되는 IPS 모드의 액정 표시 소지에서, 개구면에 형성되는 카운터 전극의 일부와 픽셀 전극을 투명 금속으로 형성하고, 카운터 전극의 일부와 픽셀 전극간의 폭 및 간격을 미세하도록 하며, 픽셀 전극과 카운터 전극의 형태를 브랜치 형태로 각각 삽입 가능하도록 형성함으로써, 액정 표시소자의 투과율과 응답 속도 및 개구율이 향상되며, 액정 표시 소자의 질이 개선된다.

[실시예]

이하 첨부한 도면에 의거하여, 본 발명의 바람직한 실시예를 자세히 설명하도록 한다.

첨부된 도면 도 4는 본 발명에 따른 액정 표시 소자의 평면도이고, 도 5는 도 4의 V-V' 선으로 절단하여 나타낸 액정 표시 소자의 단면도이고, 도 6은 도 4의 하부 기판과 합착되며질 상부 기판의 평면도이고, 도 7은 본 발명에 따른 액정 표시 소자에 일정한 전압 인가시, 투과율을 보여주는 단면도이며, 종래와 동일한 부분에 대하여는 동일한 부호를 부여하도록 한다.

먼저, 도 4에 도시된 바와 같이, 하부 유리 기판(1) 상부에 영상을 주사하기 위한 게이트(21)와 이것과 일체로 형성되는 행 방향의 게이트 라인(2A)과, 게이트 라인(2A)과 동일 면에 형성되고, 일정 거리만큼 이격되어 배치된 제 1 카운터 전극(2B-1)이 형성된다. 이 제 1 카운터 전극(2B-1)은 액정을 일정 시간동안 유지하기 위한 보조 용량의 역할을 겸하며, 그 형태는 게이트 라인(2A)과 평행하도록 형성된다. 결과물 상부에는 도면에 도시되지 않았지만, 하부의 게이트 절연막(도시되지 않음)이 형성되고, 박막 트랜지스터의 채널 역할을 하는 반도체층(4)은 게이트(21)를 포함하는 게이트 절연막의 소정 부분에 비정질 실리콘층으로 형성된다.

그리고, 반도체층(4)과 일부분 오버랩되는 소오스 전극(5A-1)과 일체형인 데이터 라인(5A)이 게이트 라인(2A)과 수직 교차되도록 형성되고, 드레인 전극(5B-1)은 소오스 전극(5A-1)이 형성된 타측에 반도체층(4)과 일부분 오버랩되도록 형성된다. 데이터 라인(5A)이 형성된 하부 유리 기판 상부에는 보호막(도시되지 않음)이 소정 두께로 증착되어 있다.

제 2 카운터 전극(6)은 제 1 카운터 전극(2B-1)과 일정 거리를 두고 오버랩될과 동시에 소정 부분 콘택(6)되고, 게이트 라인(2A)에 끝단이 근접 배치되는 수개의 브랜치(61, 62, 63, 64, 65...)가 일정 등간격으로 형성되고, 상기 브랜치중 외곽의 브랜치(69)는 나머지 브랜치(61, 62, 63, 64, 65...)의 각 끝단과 게이트 전극(21) 또는 게이트 라인(2A)사이로 연장 형성된다.

픽셀 전극(7)은 투명 전도막 예를들면, ITO(indium tin oxide) 물질로 형성되고, 박막 트랜지스터의 드레인 전극(5B-1)과 콘택(C1)되며, 제 2 카운터 전극(6)상에 일정 간격을 두고 배치된다. 상기 박막 트랜지스터의 드레인 전극에 연결된 일단은 제 2 카운터 전극(6)의 브랜치 끝단(61, 62, 63, 64, 65...)과 외곽 브랜치(69)의 연장 부분 사이로 연장 형성되며, 타단은 수개의 브랜치(71, 72, 73, 74, 75)가 형성된 구조를 갖는다.

여기서, 상기 제 2 카운터 전극 및 픽셀 전극의 브랜치의 폭(W)은 동일하며, 브랜치의 개수에 의존하게 되고, 바람직하게는 각각 4 μ m 내지 8 μ m 정도로 형성한다. 또한, 하부 유리 기판의 픽셀 전극의 폭과 제 2 카운터 전극간의 간격의 비는 0.1 내지 2 정도가 되도록 하고, 픽셀 전극과 제 2 카운터 전극의 폭은 각각 2 내지 8 μ m 정도이고, 픽셀 전극과 제 2 카운터 전극의 폭의 비가 0.1 내지 10 정도이다.

또한, 제 2 카운터 전극의 브랜치와 픽셀 전극의 브랜치간의 간격은 브랜치 폭에 대하여 0.1 내지 2배가

되도록 함이 바람직하고, 제 2 카운터 전극(6)을 제 1 카운터 전극(28-1)과 콘택홀을 형성하여 접촉시키는 이유는, 카운터 전극의 신호선 딜레이를 방지하기 위함이다. 또한, 픽셀 전극의 끝 부분과 제 1 카운터 전극을 오버랩되도록 하는 이유는, 보조 용량을 형성하기 위함이다.

이상과 같은 액정 표시 소자를 제조하기 위한 방법을 도 5를 참조하여 설명한다.

도 5에 도시된 바와 같이, 투명한 하부 유리 기판(1) 상부에는 알루미늄, 티타늄, 탄탈륨, 크롬등의 금속이 증착되고, 소정의 형태로 패터닝되어, 게이트(21)와 제 1 카운터 전극(28-1)이 형성된다. 이후에 형성되어질 금속 라인과 절연되도록 게이트 절연막(3)이 형성된다. 이 게이트 절연막(3)은 2중으로 형성되거나, 금속 산화막으로 형성될 수 있다. 이어서, 게이트 절연막(3) 상부에는 비정질 실리콘막이 증착되고, 게이트(21) 상부에 소정부분을 포함하도록 반도체층(4)이 형성되고, 결과를 상부에 알루미늄, 티타늄, 탄탈륨, 크롬등의 금속 중 선택되는 하나의 금속이 증착된 다음, 소오스 전극(5A-1)과 드레인 전극(5B-1)의 형태로 패터닝된다. 그리고 나서, 소오스 전극(5A-1)과 드레인 전극(5B-1)이 형성된 게이트 절연막(3) 상부에는 보호막(31)이 증착되고, 드레인 전극(5B-1)과 제 1 카운터 전극(28)이 소정 부분이 노출되도록 보호막(31) 또는 보호막(31)과 게이트 절연막(3)이 식각되어, 콘택홀이 형성된다. 그 후, 투명 전도막 예를들면, ITO 물질을 소정 두께로 증착한 다음, 노출된 드레인 전극(5B-1)과 콘택되도록 픽셀 전극(71, 72, 73, 74, 75, ...)이 여러개의 패턴으로 형성되며, 이와 마찬가지로 제 1 카운터 전극(28)과 콘택되도록 다수개의 패턴으로 이루어진 제 2 카운터 전극(61, 62, 63, 64, 640...)이 형성된다. 이들 픽셀 전극(71, 72, 73, 74, 75...)과 제 2 카운터 전극(61, 62, 63, 64, 640...)은 각각 소정 거리를 두고 교대로 배치 형성된다.

그리고, 상부 유리 기판(100)은 도 6에 도시된 것과 같이, 빛을 차단하기 위한 블랙 매트릭스(101)는 단 위셀의 외곽 측, 하부 유리 기판(1)에 형성된 데이터 라인(5A)과, 데이터 라인(5A)과 제 2 카운터 전극(61, 69) 사이의 공간부, 게이트 라인(2A)과, 게이트 라인(2A)과 제 2 카운터 전극(61) 사이의 공간부 및 제 1, 및 제 2 카운터 전극(28-1, 6)에 대응되도록 형성되고, 이 블랙 매트릭스(101)로 둘러싸여진 영역은 컬러필터(102)로서, 액정 표시 소자의 컬러화를 실현하기 위하여 형성된다.

이와같이 형성된 하부 유리 기판은 도 6에 도시되어진 상부 유리 기판(100)과 합착되어지고, 그 사이에는 액정 예를들면, 유전율 비방성이 높고, 플로우 점성도는 상온에서 1 내지 100 cp 이며, 액정 분자의 수 평축이 22도 정도 틀어진 액정이 봉입된다.

도 7은 상기의 액정 표시 소자에 일정 전압이 인가될때, 투과율 및 응답 속도를 보여주는 도면으로서, X 영역은 하부 유리 기판(1)의 단면을 개략적으로 나타낸 것이고, Y 영역은 하부 유리 기판의 전극에 전압이 응답시간에 따른 투과율이 나타내어 진다. Y 영역에 도시된 것과 같이, 본 발명에 따라, 개구면에 존재하는 픽셀 전극과 카운터 전극을 투명성 금속 재질로 형성됨에 의하여, 액정 표시 소자의 투과율 및 개구율을 또한 현저히 개선되고, 본 발명과 같이 픽셀 전극과 카운터 전극이 일정한 간격을 가지고, 미세한 폭을 갖는 빗살 형태로 형성됨에 따라, 그 전극을 상부에 존재하는 액정들은 빠른 속도로 도착하게 되어, 액정 표시 소자의 응답속도를 개선하게 된다.

즉, 종래의 구조로서는, 100ms 일때, 30% 이하의 투과율을 보였지만, 본 발명의 구조에서는 50ms 일때, 약 40% 이상의 투과율을 보임을 도면을 통하여 확인할 수 있다.

발명의 효과

이상에서 자세히 설명한 바와같이, 본 발명에 의하면, 카운터 전극과 픽셀 전극이 동일 기판에 형성되는 IPS 모드의 액정 표시 소자에서, 개구면에 형성되는 카운터 전극의 일부와 픽셀 전극을 투명 금속으로 형성하고, 카운터 전극의 일부와 픽셀 전극간의 폭 및 간격을 미세화하도록 하며, 전극들의 형태를 빗살 형태로 각각 삽입 가능하도록 형성함으로써, 액정 표시 소자의 투과율과 응답 속도 및 개구율이 향상되며, 액정 표시 소자의 질이 개선된다.

(5) 청구의 범위

청구항 1. 투명한 절연성 기판 상부에 형성되고, 게이트 라인의 선택시, 데이터 라인의 신호를 전달하는 박막 트랜지스터와, 상기 박막 트랜지스터와 동일 기판상에 위치하고, 게이트 라인과 일정 거리만큼 이격되어 평행하는 제 1 카운터 전극과, 상기 제 1 카운터 전극과 일정 거리를 두고 오버랩되고, 상기 게이트 라인에 끝단이 근접 배치되는 수개의 브랜치가 일정 등간격으로 형성되고, 상기 브랜치중 외곽의 브랜치는 나머지 브랜치의 각 끝단과 게이트 전극 사이로 연장 형성되는 제 2 카운터 전극과, 상기 제 2 카운터 전극상에 일정 간격을 두고 배치되고, 상기 박막 트랜지스터의 드레인 전극에 연결된 일단은 제 2 카운터 전극의 브랜치 끝단과 외곽 브랜치의 연장 부분 사이로 연장 형성되며, 타단은 수개의 브랜치가 형성된 구조를 갖는 픽셀 전극을 포함하는 하부 유리 기판; 상기 하부 유리 기판과 대향하고, 삼원색의 컬러 필터 및 필터간을 경계짓는 블랙 매트릭스를 포함하는 상부 유리 기판; 및 상기 하부 유리 기판과 상부 유리 기판사이에 개재되는 액정을 포함하며, 상기 하부 유리 기판의 픽셀 전극과 제 2 카운터 전극은 투명하며, 픽셀 전극의 브랜치는 제 2 카운터 전극의 각 브랜치 사이의 공간부 사이에 배치되고, 제 2 카운터 전극의 각 브랜치와 일정 간격을 두고 이격된 것을 특징으로 하는 액정 표시 소자.

청구항 2. 제 1 항에 있어서, 상기 하부 유리 기판의 픽셀 전극의 폭과 제 2 카운터 전극간의 간격의 비는 0.1 내지 2인 것을 특징으로 하는 액정 표시 소자.

청구항 3. 제 1 항에 있어서, 상기 하부 유리 기판의 픽셀 전극과 제 2 카운터 전극의 폭은 2 내지 8 μ m 인 것을 특징으로 하는 액정 표시 소자.

청구항 4. 제 1 항에 있어서, 상기 하부 유리 기판의 픽셀 전극과 제 2 카운터 전극의 폭의 비가 0.1 내지 10인 것을 특징으로 하는 액정 표시 소자.

청구항 5. 제 1 항에 있어서, 상기 하부 유리 기판의 제 1 카운터 전극과 제 2 카운터 전극의 오버랩도

는 면이 역정 표시 소자의 신호를 유지시키는 보조 용량이 되는 것을 특징으로 하는 역정 표시 소자.

청구항 6. 제 1 항에 있어서, 상기 하부 유리 기판의 픽셀 전극은 박막 트랜지스터의 드레인 전극과 접속되고, 제 2 카운터 전극은 제 1 카운터 전극과 접속되는 것을 특징으로 하는 역정 표시 소자.

청구항 7. 제 1 항에 있어서, 상기 하부 유리 기판의 픽셀 전극과, 제 2 카운터 전극은 ITO(indium tin oxide)로 이루어지는 것을 특징으로 하는 역정 표시 소자.

청구항 8. 제 1 항에 있어서, 상기 상부 유리 기판의 블랙 매트릭스는, 하부 유리 기판에 형성된 데이터 라인과, 데이터 라인과 제 2 카운터 전극 사이의 공간부, 게이트 라인과, 게이트 라인과 제 2 카운터 전극 사이의 공간부, 박막 트랜지스터 영역 및 제 1, 및 제 2 카운터 전극에 대응되도록 형성되는 것을 특징으로 하는 역정 표시 소자.

청구항 9. 제 1 항에 있어서, 상기 역정 유전을 이방성이 음인 물질과, 양 물질 중 선택되는 하나인 것을 특징으로 하는 역정 표시 소자.

청구항 10. 제 1 항에 있어서, 상기 제 2 카운터 전극은 제 1 카운터 전극과 콘택되는 것을 특징으로 하는 역정 표시 소자.

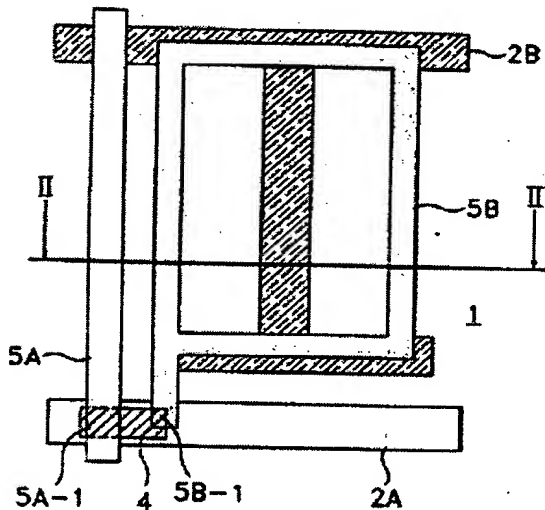
청구항 11. 제 1 항에 있어서, 상기 픽셀 전극은, 박막 트랜지스터의 드레인 전극과 콘택되는 것을 특징으로 하는 역정 표시 소자.

청구항 12. 투명성 유리 기판상에 게이트 라인과, 제 1 카운터 전극을 형성하는 단계; 상기 유리 기판 상부에 게이트 절연막을 형성하는 단계; 상기 게이트 라인을 포함하는 게이트 절연막 상부의 소정 부분에 반도체층을 형성하는 단계; 상기 금속층을 증착하고, 패터닝하여 소오스 전극과 일체인 데이터 라인과 드레인 전극을 형성하는 단계; 상기 결과물 상부에 보호막을 형성하는 단계; 상기 드레인 전극 및 제 1 카운터 전극의 소정 부분을 노출시키는 단계; 상기 결과물 상부에 투명 금속층을 형성하는 단계; 상기 투명 금속층을 패터닝하여 드레인 전극과 콘택되도록 픽셀 전극을 형성하고, 제 1 카운터 전극의 소정 부분과 콘택되도록 제 2 카운터 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 역정 표시 소자의 제조방법.

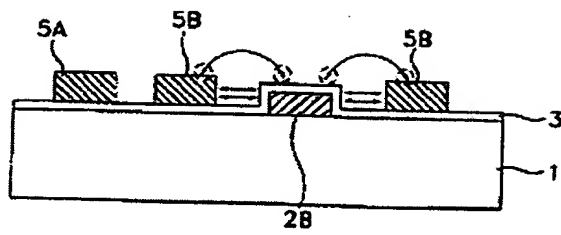
청구항 13. 제 12 항에 있어서, 상기 투명 금속층을 형성하는 단계에서, 투명 금속층은 ITO층인 것을 특징으로 하는 역정 표시 소자의 제조방법.

도면

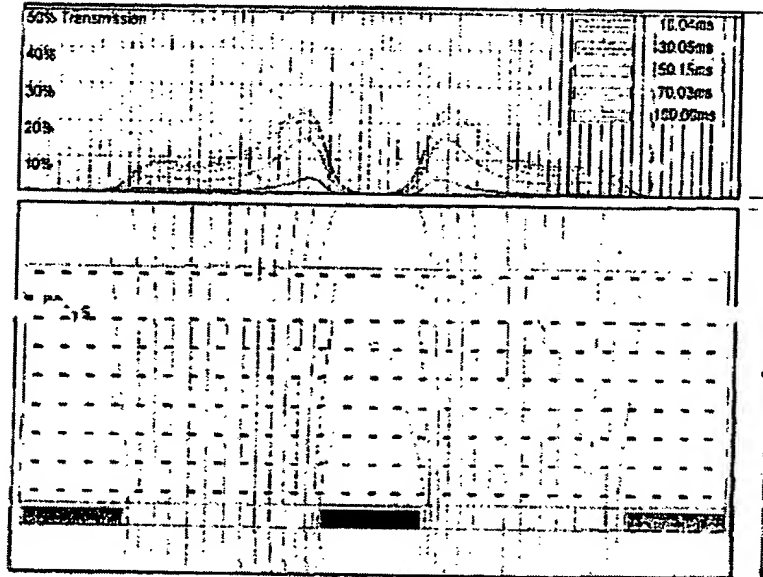
도면1



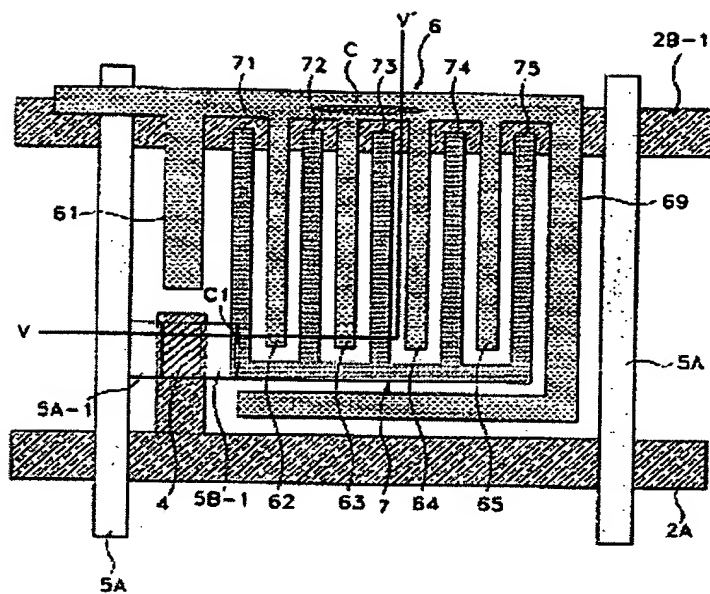
도 2



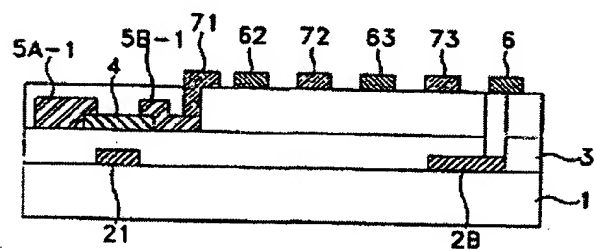
도 3



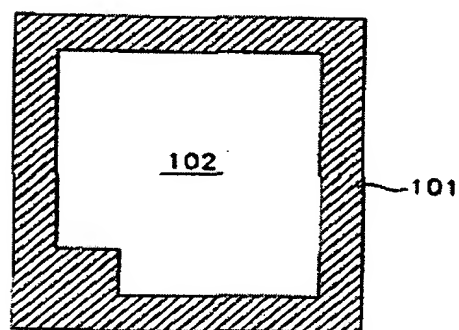
도 24



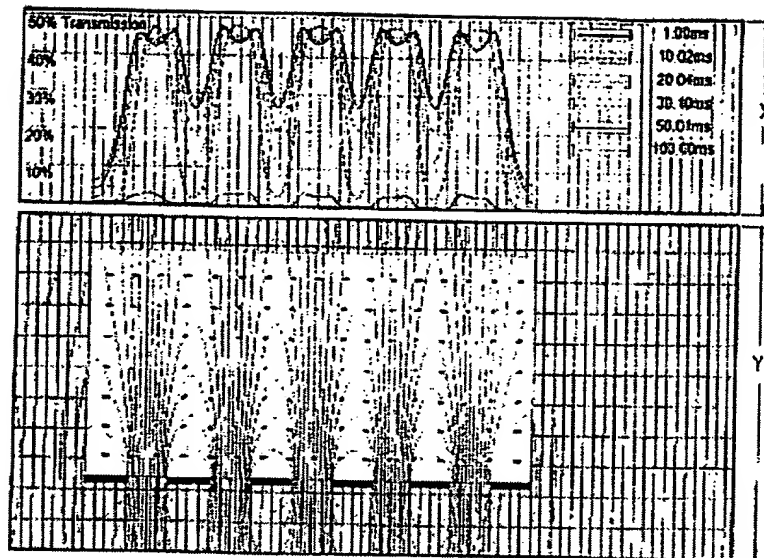
도 25



도 26



도 87



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.